

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175026

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

G09F 9/30
G02F 1/133
G09F 9/00
G09G 3/20
G09G 3/30
G09G 3/36
H04M 1/00

(21)Application number : 2000-372350

(71)Applicant : SONY CORP

(22)Date of filing : 07.12.2000

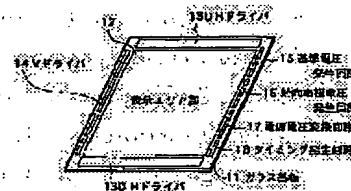
(72)Inventor : NAKAJIMA YOSHIHARU
MAKI YASUO
MAEKAWA TOSHIICHI

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE AND PORTABLE TERMINAL USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type display device enabling size reduction of the set and cost reduction, and to provide a portable terminal, using the same as a display part.

SOLUTION: In the active matrix type display device provided with a display area part 12 where pixels are arranged in a matrix form, H-drivers 13U, 13D, a V-driver 14, a reference voltage generating circuit 15, a counter electrode voltage generating circuit 16, a power supply voltage conversion circuit 17, and a timing generating circuit 8 are constructed on the same glass substrate 11 as the display area part 12 using the same process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display area section which comes to arrange the pixel which has an electro-optics component in the shape of a matrix, The vertical-drive circuit which chooses each pixel of said display area section per line, and the reference voltage generating circuit which generates two or more reference voltages, It has the reference voltage selection mold DA translation circuit which chooses the reference voltage corresponding to digital image data from said two or more reference voltages. The level drive circuit supplied to each pixel of the line chosen by said vertical-drive circuit by making into a picture signal reference voltage chosen in this DA translation circuit, The timing generating circuit which generates various kinds of timing signals and is given to each circuit section, It has the supply voltage conversion circuit which changes single direct current voltage into two or more kinds of direct current voltage from which an electrical-potential-difference value differs, and is given to each circuit section. The active-matrix mold display characterized by said vertical-drive circuit, said reference voltage generating circuit, said level drive circuit, said timing generating circuit, and said supply voltage conversion circuit using the same process, and coming to create them on the same substrate with said display area section.

[Claim 2] The active-matrix mold display according to claim 1 characterized by having further the image memory circuit which stores image data, and for this image memory using the same process and creating it on the same substrate with said display area section.

[Claim 3] The active-matrix mold display according to claim 1 characterized by having further the interface circuitry which outputs and inputs data, and for this interface circuitry using the same process and creating it on the same substrate with said display area section.

[Claim 4] The active-matrix mold display according to claim 1 characterized by having further the photosensor circuit which detects external luminous intensity, and for this photosensor circuit using the same process and creating it on the same substrate with said display area section.

[Claim 5] The active-matrix mold display according to claim 1 characterized by said electro-optics component being a liquid crystal cell.

[Claim 6] The active-matrix mold display according to claim 5 characterized by having further the counterelectrode electrical-potential-difference generating circuit which generates the electrical potential difference impressed to the counterelectrode of said liquid crystal cell, and for this counterelectrode electrical-potential-difference generating circuit using the same process, and creating it on the same substrate with said display area section.

[Claim 7] The active-matrix mold display according to claim 1 characterized by said electro-optics component being an electroluminescent element.

[Claim 8] The display area section which comes as a display to arrange the pixel which has an electro-optics component in the shape of a matrix, The vertical-drive circuit which chooses each pixel of said display area section per line, and the reference voltage generating circuit which generates two or more reference voltages, It has the reference voltage selection mold DA translation circuit which chooses the reference voltage corresponding to digital image data from said two or more reference voltages. The level drive circuit supplied to each pixel of the line chosen by said vertical-drive circuit by making into a

picture signal reference voltage chosen in this DA translation circuit, The timing generating circuit which generates various kinds of timing signals and is given to each circuit section, It has the supply voltage conversion circuit which changes single direct current voltage into two or more kinds of direct current voltage from which an electrical-potential-difference value differs, and is given to each circuit section. Said vertical-drive circuit, said reference voltage generating circuit, said level drive circuit, said timing generating circuit, and said supply voltage conversion circuit The personal digital assistant characterized by using the active-matrix mold display which uses the same process and it comes to create on the same substrate with said display area section.

[Claim 9] Said active-matrix mold indicating equipment is a personal digital assistant according to claim 8 characterized by having further the image memory circuit which stores image data, and for this image memory using the same process and creating it on the same substrate with said display area section.

[Claim 10] Said active-matrix mold indicating equipment is a personal digital assistant according to claim 8 characterized by having further the interface circuitry which outputs and inputs data, and for this interface circuitry using the same process and creating it on the same substrate with said display area section.

[Claim 11] Said active-matrix mold display is a personal digital assistant according to claim 8 characterized by having further the photosensor circuit which detects external luminous intensity, and for this photosensor circuit using the same process and creating it on the same substrate with said display area section.

[Claim 12] Said active-matrix mold display is a personal digital assistant according to claim 8 characterized by being the liquid crystal display which used the liquid crystal cell as said electro-optics component.

[Claim 13] Said active-matrix mold display is a personal digital assistant according to claim 12 characterized by having further the counterelectrode electrical-potential-difference generating circuit which generates the electrical potential difference impressed to the counterelectrode of said liquid crystal cell, and for this counterelectrode electrical-potential-difference generating circuit using the same process, and creating it on the same substrate with said display area section.

[Claim 14] Said active-matrix mold display is a personal digital assistant according to claim 8 characterized by being the electroluminescence display which used the electroluminescent element as said electro-optics component.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the personal digital assistant which used a active-matrix mold display and this as a display.

[0002]

[Description of the Prior Art] In recent years, the spread of personal digital assistants, such as a portable telephone and PDA (Personal Digital Assistants), is remarkable. As one of the factors of rapid spread of these personal digital assistants, the liquid crystal display carried as the output display is mentioned. The reason has the property of not requiring power for a liquid crystal display driving theoretically, and is because it is the display device of a low power.

[0003] The vertical-drive circuit which chooses each pixel per line, and the level drive circuit which writes information in each pixel of the line chosen by this vertical-drive circuit are established in the active-matrix mold display of a configuration of that pixels, such as this liquid crystal display, are arranged in the shape of a matrix, and drive each of these pixels. And it is in the inclination which forms these drive circuit in one on the same substrate as the display area section.

[0004] Moreover, in a active-matrix mold display, the timing generating circuit which generates various kinds of timing signals for the timing control of these drive circuit besides a vertical-drive circuit or a level drive circuit, the supply voltage conversion circuit which changes a single DC-power-supply electrical potential difference into two or more kinds of direct current voltage from which an electrical-potential-difference value differs from using the direct current voltage of a different electrical-potential-difference value for every circuit section as supply voltage in many cases, and is given to each circuit section are used. These circuits were conventionally formed on the printed circuit board with another chip top or discrete part of single-crystal-silicon IC apart from the substrate containing the display area section.

[0005]

[Problem(s) to be Solved by the Invention] in order to have to create in a respectively separate process while the components mark which constitute a set from having form the timing generating circuit, the supply voltage conversion circuit, etc. on the printed circuit board another chip top or discrete part by single crystal silicon IC apart from the substrate containing the display area section in the active matrix mold display increase as mention above, there be a problem of become the hindrance of the miniaturization of a set and low cost-izing.

[0006] This invention is made in view of the above-mentioned technical problem, and the place made into the purpose is to offer the personal digital assistant using the active-matrix mold display and this which enabled miniaturization of a set, and low cost-ization as a display.

[0007]

[Means for Solving the Problem] The display area section which comes to arrange the pixel which has an electro-optics component in the shape of a matrix in this invention in order to attain the above-mentioned purpose, The vertical-drive circuit which chooses each pixel of this display area section per line, and the reference voltage generating circuit which generates two or more reference voltages, It has the reference voltage selection mold DA translation circuit which chooses the reference voltage corresponding to digital image data from the reference voltages of these plurality. The level drive circuit supplied to each pixel of the line chosen by the vertical-drive circuit by making into a picture signal reference voltage chosen in this DA translation circuit, The timing generating circuit which generates various kinds of timing signals and is given to each circuit section, In the active-matrix mold display possessing the supply voltage conversion circuit which changes single direct current voltage into two or more kinds of direct current voltage from which an electrical-potential-difference value differs, and is given to each circuit section The configuration which used a vertical-drive circuit, the reference voltage generating circuit, the level drive circuit, the timing generating circuit, and the supply voltage conversion circuit on the same substrate with the display area section, and created the same process is taken. And this active-matrix mold display is used as a display of a personal digital assistant.

[0008] In the active-matrix mold display of the above-mentioned configuration, or the personal digital assistant using this, the components mark which constitute a set from using the same process and creating all circumference circuits required for a display drive in the display area section on the same

substrate with the display area section can be stopped few. Therefore, thin-shape-izing and miniaturization are attained at low-cost-izing of a set, and a pan.

[0009]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 1 is the outline block diagram showing the example of a configuration of the active-matrix mold display concerning 1 operation gestalt of this invention. Here, the case where it applies to the active matrix liquid crystal display which used the liquid crystal cell as an electro-optics component of each pixel for example, shall be taken and explained to an example.

[0010] In drawing 1, the display area section 12 which comes to arrange many pixels containing a liquid crystal cell in the shape of a matrix is formed on the transparence insulating substrate 11, for example, a glass substrate. A glass substrate 11 is constituted by the 1st substrate with which arrangement formation of the pixel circuit of a large number containing an active element (for example, transistor) is carried out at the shape of a matrix (letter of a matrix), and the 2nd substrate which counters with this 1st substrate and a predetermined gap, and is arranged. And liquid crystal is enclosed between these [1st] and the 2nd substrate.

[0011] An example of the concrete configuration of the display area section 12 is shown in drawing 2. Here, the case of the pixel array of three-line (— of $n-1$ line $n+1$ line) four trains ($m-2$ train — $m+1$ train) is taken and shown to the example for simplification of a drawing. In drawing 2, data line —, $22m-2$, $22m-1$, $22m$, $22m+1$, and — are wired by the display area section 12 in the shape of a matrix with vertical-scanning Rhine —, $21n-1$, $21n$, $21n+1$, and —, and the unit pixel 23 is arranged at those intersection parts.

[0012] The unit pixel 23 has the composition of having thin film transistor TFT, liquid crystal cell LC, and retention volume Cs which are a pixel transistor. Here, liquid crystal cell LC means the capacity generated between the counterelectrodes countered and formed in the pixel electrode and this which are formed by the thin film transistor TFT. A gate electrode is connected to vertical-scanning Rhine —, $21n-1$, $21n$, $21n+1$, and —, and, as for the thin film transistor TFT, the source electrode is connected to data line —, $22m-2$, $22m-1$, $22m$, $22m+1$, and —.

[0013] A pixel electrode is connected to the drain electrode of a thin film transistor TFT, and, as for liquid crystal cell LC, the counterelectrode is connected to common Rhine 24. Retention volume Cs is connected between the drain electrode of a thin film transistor TFT, and common Rhine 24. The counterelectrode electrical potential difference (common electrical potential difference) V_{com} will be given to common Rhine 24, and this common electrical potential difference V_{com} will be impressed to it [each pixel] to the counterelectrode of liquid crystal cell LC by this.

[0014] On the glass substrate 11, the H drivers (level drive circuit) 13U and 13D and V driver (vertical-drive circuit) of a vertical pair are really formed with the display area section 12. And it connects with each outgoing end of the line to which, as for one edge each, the V driver 14 corresponds of vertical-scanning Rhine — of the display area section 12, $21n-1$, $21n$, $21n+1$, and —, respectively. The V driver 14 is constituted by the shift register, generates a perpendicular selection pulse one by one synchronizing with the perpendicular transfer clock VCK (not shown), and performs a vertical scanning vertical-scanning Rhine — and by giving $21n-1$, $21n$, $21n+1$, and —.

[0015] On the other hand, in the display area section 12, it connects with each odd-numbered outgoing end of the train to which H-driver 13U corresponds [one edge each] of data line —, $22m-1$, $22m+1$, and — at each even-numbered outgoing end of the train to which H driver 13D corresponds [each other end] of data line —, $22m-2$, $22m$, and —, respectively. An example of the concrete configuration of the H drivers 13U and 13D is shown in drawing 3.

[0016] As shown in drawing 3, H driver 13U has the composition of having shift register 25U, sampling latch circuit (data signal input circuit) 26U, line sequential-ized latch circuit 27U, and DA translation circuit 28U. Shift register 25U performs a horizontal scanning by outputting a shift pulse one by one from each transfer stage synchronizing with the level transfer clock HCK (not shown). Sampling latch

circuit 26U answers the shift pulse given from shift register 25U, and samples and latches the digital image data of a predetermined bit inputted in point sequential.

[0017] line sequential-ized latch circuit 27U — sampling latch circuit 26U — a dot order — by latching again the digital image data latched next per one line, it is made line sequential and this digital image data for one line is outputted all at once. The circuitry of a reference voltage selection mold is taken and DA translation circuit 28U is given to data line — of the pixel area section 12 which changed into the analog picture signal the digital image data for one line outputted from line sequential-ized latch circuit 27U, and carried out point **, $22m-2$, $22m-1$, $22m$, $22m+1$, and —.

[0018] The example of a configuration of the unit circuit of reference voltage selection mold DA translation circuit 28U is shown in drawing 4. Here, the case where the digital image data inputted are a triplet (b2, b1, b0) is taken and shown in the example, and the reference voltages V0-V7 of eight (= 23) individual will be prepared to the data of this triplet. This unit circuit will be arranged at every [one / every] data line — of the pixel area section 12, $22m-2$, $22m-1$, $22m$, $22m+1$, and —.

[0019] Also about lower H driver 13D, it has upper H driver 13U and the composition of having shift register 25D, sampling latch circuit 26D, line sequential-ized latch circuit 27D, and DA translation circuit 28D of a reference voltage selection mold completely similarly. In addition, although the configuration of the display area section 12 which allots the H drivers 13U and 13D up and down was taken in the active matrix liquid crystal indicating equipment concerning this example, it is also possible to take the configuration which it is not limited to this and allotted only to either of up-and-down.

[0020] On the glass substrate 11, the reference voltage generating circuit 15, the counterelectrode electrical-potential-difference generating circuit 16, the supply voltage conversion circuit 17, and the timing generating circuit 18 as well as the H drivers 13U and 13D and the V driver 14 are really further formed with the display area section 12. Here, in the case of the liquid crystal display which takes the configuration of the display area section 12 which allots the H drivers 13U and 13D up and down, it is desirable to carry the reference voltage generating circuit 15, the counterelectrode electrical-potential-difference generating circuit 16, the supply voltage conversion circuit 17, and the timing generating circuit 18 in the frame area (circumference area of the display area section 12) of the side in which the H drivers 13U and 13D are not carried.

[0021] Because, the H drivers 13U and 13D have many components compared with the V driver 14, as mentioned above. By carrying in the frame area of the side in which the H drivers 13U and 13D are not carried, since the circuit area becomes very large in many cases Without reducing the rate of a usual picture area (rate of area of the effective area section 12 to a glass substrate 11) It is because the reference voltage generating circuit 15, the counterelectrode electrical-potential-difference generating circuit 16, the supply voltage conversion circuit 17, and the timing generating circuit 18 can be mounted on the same glass substrate 11 as the display area section 12.

[0022] In addition, in the active matrix liquid crystal indicating equipment concerning this example, since the V driver 14 is mounted in the one side of the frame area of the side in which the H drivers 13U and 13D are not carried, the configuration which mounts the reference voltage generating circuit 15, the counterelectrode electrical-potential-difference generating circuit 16, the supply voltage conversion circuit 17, and the timing generating circuit 18 in the frame area of the side of the opposite side has been taken.

[0023] Drawing 5 is the circuit diagram showing an example of the concrete configuration of the reference voltage generating circuit 15. The reference voltage generating circuit 15 concerning this example has composition which consists of seven division resistance R1-R7 connected to the serial between each outgoing end of two switching circuits 31 and 32 which switch mutually positive supply voltage VCC and negative supply voltage VSS by opposition a fixed period, and these switching circuits 31 and 32. Here, positive supply voltage VCC and negative supply voltage VSS are mutually switched by opposition a fixed period, for example, 1H period, for carrying out the alternating current drive (this example 1H reversal drive) of the liquid crystal for the purpose of degradation prevention of liquid

crystal.

[0024] It sets in the reference voltage generating circuit 15 of the above-mentioned configuration, and the output voltage VA of a switching circuit 31 is used as it is as reference voltage V0 for [as it is] the black signals in a normally white in the output voltage VB of a switching circuit 32 as reference voltage V7 for the white signals in a normally white. Moreover, the reference voltages V1–V6 for halftone are created by carrying out resistance division of the difference electrical potential difference of the reference voltage V0 for black signals, and the reference voltage V7 for white signals by the division resistance R0–R6. In the case of a normally black, output voltage VA will be used as reference voltage V7 for black signals as reference voltage V0 for white signals in output voltage VB.

[0025] Drawing 6 is the block diagram showing an example of the concrete configuration of the counterelectrode electrical-potential-difference generating circuit 16. The counterelectrode electrical-potential-difference generating circuit 16 concerning this example has composition which consists of a switching circuit 33 which switches the forward side supply voltage VCC and the negative side supply voltage VSS a fixed period, and outputs them, and a DC level-conversion circuit 34 which changes DC level of the output voltage VA of this switching circuit 33, and is outputted as a counterelectrode electrical potential difference Vcom.

[0026] A switching circuit 33 consists of a switch SW1 which considers forward side supply voltage VCC as an input, and a switch SW2 which considers negative side supply voltage VSS as an input, and when these switches SW1 and SW2 are mutually switched by the control pulses phi1 and phi2 of opposition, it has composition which outputs the forward side supply voltage VCC and the negative side supply voltage VSS by turns a fixed period. Thereby, from a switching circuit 33, the electrical potential difference VA of amplitude VSS–VCC is outputted.

[0027] DC level-conversion circuit 34 carries out the level conversion of the output voltage VA of amplitude VSS–VCC of a switching circuit 33 to the direct current voltage of for example, amplitude VSS–delta V–VCC–delta V, and outputs it as a counterelectrode electrical potential difference Vcom. As this DC level-conversion circuit 34, although the thing of various circuitry can be considered, as shown in drawing 7, generally it is used as what has simple circuitry which consists of a capacitor 341 and a DC electrical-potential-difference generating circuit 342.

[0028] Next, the supply voltage conversion circuit 17 is explained. As a supply voltage conversion circuit 17, many things of a charge pump mold are increasingly used with low-power-izing of a personal digital assistant in recent years, and a miniaturization. Drawing 8 is the circuit diagram showing an example of the configuration of a charge pump mold supply voltage conversion circuit (DC–DC converter). (A) shows a negative electrical-potential-difference generating type, and (B) shows the pressure-up type, respectively.

[0029] In drawing 8, between the power sources and glands (GND) which give the single DC-power-supply electrical potential difference VCC, the PchMOS transistor Qp11 and the NchMOS transistor Qn11 are connected to a serial, and each gate is connected in common, and CMOS inverter 41 is constituted in it. The switching pulse of a predetermined frequency is impressed to the common gate node of this CMOS inverter 41 from the pulse generation source 42.

[0030] The end of a capacitor C11 is connected at the drain common node (node B) of CMOS inverter 41. The source of the drain of a switching device Qn12, for example, a NchMOS transistor, and the PMOS transistor Qp12 is connected to the other end of a capacitor C11, respectively. The load capacitor C12 is connected between the source of the NchMOS transistor Qn12, and a gland.

[0031] The end of a capacitor C13 is connected at the common gate node of CMOS inverter 41. The anode of diode D11 is connected to the other end of a capacitor C13. The cathode is grounded and diode D11 constitutes the 1st clamping circuit 43. Each gate of the NchMOS transistor Qn12 and the PchMOS transistor Qp12 is further connected to the other end of a capacitor C13, respectively. The drain of the PchMOS transistor Qp12 is grounded.

[0032] The PchMOS transistor Qp13 is connected between the other end of a capacitor C13, and a

gland. The level shift of the pulse for a clamp generated in the pulse generation source 44 is carried out to the gate of this PchMOS transistor Qp13, and it is given to it in the level shift circuit 45. These PchMOS(s) transistor Qp13, the pulse generation source 44, and the level shift circuit 45 constitute the 2nd clamping circuit 46 which clamps the switching pulse voltage of a switching transistor (the NchMOS transistor Qn12 and PchMOS transistor Qp12).

[0033] In this 2nd clamping circuit 46 the level shift circuit 45 Output voltage V_{out} of this circuit from which the supply voltage V_{CC} inputted into this supply voltage conversion circuit is drawn from the both ends of a forward side-circuit power source and the load capacitor C12 is used as a negative side circuit power source. The level shift of the pulse for a clamp of the 1st amplitude ($V_{CC}-0[V]$) generated in the pulse generation source 44 is carried out to the pulse for a clamp of the 2nd amplitude ($V_{CC}-V_{out} [V]$), and it is given to the gate of the PchMOS transistor Qp13. By this, switching operation of the PchMOS transistor Qp13 will be performed more certainly.

[0034] Next, the circuit actuation in the negative electrical-potential-difference generating type charge pump mold supply voltage conversion circuit of the above-mentioned configuration is explained using the timing chart of drawing 9 (A). In addition, each signal wave form A-G of node A-G in the circuit of drawing 8 (A) is shown in the timing chart of drawing 9 (A).

[0035] "H" level clamp of the output potential of the capacitor C13 based on the switching pulse generated in the pulse generation source 42 at a power up (at the time of starting), i.e., the potential of Node D, is carried out at the potential which carried out the level shift by the threshold electrical potential difference V_{th} of diode D11 with diode D11 first from the grand (GND) level which is the circuit power-source potential of a negative side.

[0036] And since the PchMOS transistors Qp11 and Qp12 will be in an ON state when a switching pulse is "L" level (0V), a capacitor C11 is charged. Since the NchMOS transistor Qn11 is in an OFF state at this time, the potential of Node B serves as V_{CC} level. Subsequently, if a switching pulse is set to "H" level (V_{CC}), since the NchMOS transistors Qn11 and Qn12 will be in an ON state and the potential of Node B will be set to a grand level (0V), the potential of Node C serves as $-V_{CC}$ level. The potential of this node C serves as output voltage V_{out} ($=-V_{CC}$) through the NchMOS transistor Qn12 as it is.

[0037] Next, if output voltage V_{out} starts to some extent (at the time of starting process termination), the level shift circuit 45 for clamp pulses will begin actuation. If this level shift circuit 45 begins to operate, in the level shift circuit 45 concerned, the level shift of the pulse for a clamp of amplitude $V_{CC}-0[V]$ generated in the pulse generation source 44 will be carried out to the pulse for a clamp of amplitude $V_{CC}-V_{out} [V]$, and it will be impressed to the gate of the PchMOS transistor Qp13 after an appropriate time.

[0038] Since "L" level of the pulse for a clamp is output voltage V_{out} , i.e., $-V_{CC}$, at this time, the PchMOS transistor Qp13 will be in an ON state certainly. Thereby, the potential of Node D is clamped by not the potential that carried out the level shift by the threshold electrical potential difference V_{th} of diode D11 from the grand level but the grand level (circuit power-source potential of a negative side). Thereby, in subsequent pumping actuation, sufficient driver voltage is obtained especially to the PchMOS transistor Qp12.

[0039] In the supply voltage conversion circuit using the charge pump as mentioned above The electrical potential difference of the control pulse (switching pulse) to the switching device (the NchMOS transistor Qn12 and PchMOS transistor Qp12) prepared in the output section By dividing into two steps and clamping after the clamp by the diode D11 of the 1st clamping circuit 43, and starting process termination like the clamp by the 2nd clamping circuit 46, first, at the time of starting of this circuit Sufficient driver voltage can be taken especially to the PchMOS transistor Qp12.

[0040] Conversion efficiency can be raised while being able to perform stable DC-DC conversion actuation by this, in order to acquire sufficient switching current in the PchMOS transistor Qp12. Since sufficient switching current is acquired even if it does not enlarge transistor size of the PchMOS transistor Qp12 especially, a supply voltage conversion circuit with big current capacity is realizable on

a scale of the circuit of small area.

[0041] Also in DD converter of the pressure-up type shown in drawing 8 (B), fundamental circuitry and circuit actuation are the same.

[0042] In drawing 8 (B) namely, a switching transistor and the transistor for a clamp (MOS transistors Qp14, Qn14, and Qn13) While becoming MOS transistors Qn12, Qp12, and Qp13 of the circuit of drawing 8 (A), and a reverse conductivity type Diode D11 is connected between the other end of a capacitor C11, and a power source (VCC). And the level shift circuit 45 has composition which used output voltage Vout of this circuit as the forward side-circuit power source, and used the grand level as the negative side circuit power source, and it is that this point is only different from the circuit of drawing 8 (A) constitutionally.

[0043] Fundamentally, it is completely the same as the circuit of drawing 8 (A) on circuit actuation. Differing is only the point that the diode clamp of the switching pulse voltage (control pulse electrical potential difference) is first carried out at the time of starting, and it is clamped by VCC level (circuit power-source potential by the side of forward) at the time of starting process termination, and twice as many electrical-potential-difference value $2 \times VCC$ as supply voltage VCC is drawn as output voltage Vout. The timing chart of each signal wave form A-G of node A-G in the circuit of drawing 8 (B) is shown in drawing 9 (B).

[0044] In addition, although explained as a supply voltage conversion circuit 17 taking the case of the thing of a charge pump mold, it does not pass over this to an example and it is not limited to this here.

[0045] Then, the timing generating circuit 18 is explained. As typically shown in drawing 10, the timing generating circuit 18 considers as an input Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and master clock MCK which are given from the outside, and first generates the perpendicular start pulse VST and the perpendicular transfer pulse VCK which are given to the shift register 141 of the V driver 14 at the level start pulse HST given to shift register 25 of H driver 13U and the level transfer pulse HCK, and a list on the basis of these.

[0046] Here, the level start pulse HST is a pulse signal generated after after [generating] predetermined time progress of the Taira synchronizing signal HD, and the level transfer pulse HCK is a pulse signal obtained by carrying out dividing of the master clock MCK, for example. Moreover, the perpendicular start pulse VST is a pulse signal generated after after [generating] predetermined time progress of Vertical Synchronizing signal VD, and the perpendicular transfer pulse VCK is a pulse signal obtained by carrying out dividing of the level transfer pulse HCK, for example.

[0047] Therefore, in the timing generating circuit 18, it can realize in several steps of easy counter circuits as a circuit for generating the level start pulse HST, the level transfer pulse HCK, the perpendicular start pulse VST, and the perpendicular transfer pulse VCK on the basis of Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and a master clock MCK.

[0048] The timing generating circuit 18 also considers as an input the timing data (timing information) obtained from the suitable transfer stage of the shift register 141 of the timing data further obtained from the suitable transfer stage of shift register 25U of H driver 13U, and the V driver 14, and has the composition of also generating the timing pulse used by H driver 13U based on these timing data, and the timing pulse used by the V driver 14.

[0049] Here, the latch control pulse used as an example as a timing pulse used by H driver 13U by line sequential-ized latch circuit 27U (27D) shown in drawing 3 is mentioned. However, it is not restricted to this. On the other hand, as a timing pulse used by the V driver 14, the display period control pulse for specifying the display period at the time of the sector display mode in which only a period with the perpendicular direction of the display area section 12 displays is mentioned as an example. However, it is not restricted to this.

[0050] Drawing 11 is the block diagram showing an example of the concrete configuration of the timing generating circuit 18. Here, the case where the latch control pulse used by line sequential-ized latch circuit 27U is generated based on the timing data with which the timing generating circuit 18 is given

from shift register 25 of H driver 13U U shall be taken and explained to an example.

[0051] In drawing 11, shift register 25 of H driver 13U U is first constituted by M steps of D type flip-flops 51-1 more than the number of level pixels in the display area section 12 (it is hereafter described as DFF) - 51-M. Shift register 25U of this configuration will perform a shift action synchronizing with the level transfer pulse HCK, if the level start pulse HST is given. Consequently, from Q outgoing ends each of DFF 51-1 - 51-M, a pulse (timing information) is outputted one by one synchronizing with the level transfer pulse HCK.

[0052] Q output pulses each of these [DFF 51-1] - 51-M are given to sampling latch circuit 26U one by one as a sampling pulse. Moreover, Q output pulse A of the 1st step of DFF 51-1 and Q output pulse B of the M-1st step of DFF 51-M-1 are supplied to the timing generating circuit 18 as an example suitable Q output pulse of a transfer stage, and here among Q output pulses each of DFF 51-1 - 51-M.

[0053] In the timing generating circuit 18, the latch control pulse generating circuit 52 for generating a latch control pulse has composition which consists of DFF53 and a buffer 54. DFF53 considers clock (CK) input and Q output pulse B of the M-1st step of DFF 51-M-1 for Q output pulse A of the 1st step of DFF 51-1 supplied from shift register 25U as a clearance (CLR) input, and is considering the own reversal Q output as the data (D) input.

[0054] Thereby, the pulse which serves as "H" level (high level) from the standup timing of Q output pulse A of DFF 51-1 in the period to the standup timing of Q output pulse B of DFF 51-M-1 is acquired from Q outgoing end of DFF53 as latch control pulse C through a buffer 54.

[0055] As mentioned above, in the timing generating circuit 18, to generation of the timing pulse used by the H drivers 13U and 13D or the V driver 14 By making the shift registers 25U and 25D of the H drivers 13U and 13D, and the shift register 141 of the V driver 14 serve a double purpose, and generating a timing pulse based on the timing data obtained from these shift registers Since circuits of dedication, such as a counter circuit, become unnecessary and can simplify circuitry, low-power-ization is attained at the miniaturization of a set, low-cost-izing, and a pan.

[0056] In addition, although the timing generating circuit 18 explained taking the case of the case where the level start pulse HST, the level transfer pulse HCK, the perpendicular start pulse VST, and the perpendicular transfer pulse VCK are generated, it does not pass over this to an example and it is not limited to these timing pulses here.

[0057] The switching pulse and the pulse for a clamp which are used as other timing pulses by the charge pump mold supply voltage conversion circuit 17 which carried out point **, for example are mentioned. Thus, since the pulse generation sources 42 and 43 which generate these pulses in the charge pump mold supply voltage conversion circuit 17 shown in drawing 8 by making it generate in the timing generating circuit 18 also about a switching pulse or the pulse for a clamp are omissible, contraction-ization of the circuit scale which only the part can simplify the circuitry of the supply voltage conversion circuit 17, therefore is really formed on a glass substrate 11 can be attained.

[0058] In really forming the reference voltage generating circuit 15 concerning each example of a configuration mentioned above, the counterelectrode electrical-potential-difference generating circuit 16, the supply voltage conversion circuit 17, and the timing generating circuit 18 on the same glass substrate 11 with the display area section 12, or an active element (or activity/passive element) is created on a glass substrate 11 at least. [the circuit element which constitutes those circuits] Thereby, out of a glass substrate 11, since one will not exist, an active element (or activity/passive element) can simplify the configuration of a substrate periphery, and the miniaturization of equipment and low cost-ization are attained.

[0059] Moreover, as each circuit really formed on the same glass substrate 11 with the display area section 12, as shown in drawing 12 besides reference voltage generating circuit 15, counterelectrode electrical-potential-difference generating circuit 16, supply voltage conversion circuit 17, and timing generating circuit 18, the CPU interface circuitry 61, the image memory circuit 62, the photosensor circuit 63, the light source drive circuit 64, etc. are mentioned.

[0060] Here, the CPU interface circuitry 61 is a circuit for outputting and inputting data between external CPUs. The image memory circuit 62 is the memory for storing the image data inputted through the CPU interface circuitry 61 from the exterior, for example, still picture data. The brightness of the environment where for example, this liquid crystal display is used etc. is the sensor which detects external luminous intensity, and the photosensor circuit 63 gives the detection information to the light source drive circuit 64. The light source drive circuit 64 is a circuit which drives the back light or front light which illuminates the display area section 12, and adjusts the brightness of these light sources based on the external luminous-intensity information given from the photosensor circuit 63.

[0061] In really forming these circuits 61-64 on the same glass substrate 11 with the display area section 12, the miniaturization of equipment and low cost-ization are attained by all the circuit elements that constitute those circuits, or creating an active element (or activity/passive element) on a glass substrate 11 at least.

[0062] In addition, although the above-mentioned operation gestalt took and explained the case where it applied to an active matrix liquid crystal display to the example, it is not limited to this and can apply like other active-matrix mold displays, such as EL display using the electroluminescence (EL) component as an electro-optics component of each pixel.

[0063] Moreover, the active-matrix mold indicating equipment represented by the active matrix liquid crystal indicating equipment concerning the above-mentioned operation gestalt is used as a display of personal digital assistants, such as a portable telephone with which the miniaturization of the body of equipment and miniaturization are advanced especially, and PDA, the outside used as a display of OA equipment, such as a personal computer and a word processor, a television receiver, etc., and is suitable.

[0064] Drawing 13 is the personal digital assistant with which this invention is applied, for example, the external view showing the outline of the configuration of a portable telephone.

[0065] The portable telephone concerning this example has the composition that the loudspeaker section 72, a display 73, a control unit 74, and the microphone section 75 have been arranged sequentially from an upper part side at the front-face side of the equipment case 71. In the portable telephone of this configuration, a liquid crystal display is used for a display 73, and the active matrix liquid crystal display applied to the operation gestalt which carried out point ** as this liquid crystal display is used for it.

[0066] Thus, in personal digital assistants, such as a portable telephone, while the liquid crystal display concerned can be realized in low cost by using the active matrix liquid crystal display concerning the operation gestalt which carried out point ** as a display 73, since it is small, low-cost-izing of a terminal body and a miniaturization are attained.

[0067]
[Effect of the Invention] Since the components mark which constitute a set by using the same process on the same substrate and having created the circumference circuit besides a drive circuit including a vertical-drive circuit and a level drive circuit with the display area section in the active-matrix mold display or the personal digital assistant using this as a display can be stopped few according to this invention as explained above, thin-shape-izing and miniaturization are attained at low-cost-izing of a set, and a pan.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing the example of a configuration of the active matrix liquid crystal display concerning 1 operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing the example of a configuration of the display area section of a liquid crystal display.

[Drawing 3] It is the block diagram showing an example of the concrete configuration of H driver.

[Drawing 4] It is the circuit diagram showing an example of the concrete configuration of a reference voltage selection mold DA translation circuit.

[Drawing 5] It is the circuit diagram showing an example of the concrete configuration of a reference voltage generating circuit.

[Drawing 6] It is the block diagram showing an example of the concrete configuration of a counterelectrode electrical-potential-difference generating circuit.

[Drawing 7] It is the block diagram showing an example of the configuration of DC level-conversion circuit.

[Drawing 8] It is the circuit diagram showing an example of the configuration of a charge pump mold supply voltage conversion circuit, and (A) shows a negative electrical-potential-difference generating type, and (B) shows the pressure-up type, respectively.

[Drawing 9] It is a timing chart for explaining circuit actuation of a charge pump mold supply voltage conversion circuit, and (A) shows a negative electrical-potential-difference generating type, and (B) shows the pressure-up type, respectively.

[Drawing 10] It is a mimetic diagram for explaining the configuration of a timing generating circuit.

[Drawing 11] It is the block diagram showing an example of the concrete configuration of a timing generating circuit.

[Drawing 12] It is the block diagram showing the modification of the active matrix liquid crystal indicating equipment concerning this operation gestalt.

[Drawing 13] It is the external view showing the outline of the configuration of the portable telephone which is a personal digital assistant concerning this invention.

[Description of Notations]

11 — A glass substrate, 12 — The display area section, 13U, 13 D—H driver (level drive circuit), 14 — V driver (vertical-drive circuit), 15 — A reference voltage generating circuit, 16 — Counterelectrode electrical-potential-difference generating circuit, 17 — A supply voltage conversion circuit, 18 — A timing generating circuit, 23 — Unit pixel, 25U, 25D [— A CPU interface circuitry, 62 / — An image memory circuit, 63 / — A photosensor circuit, 64 / — Light source drive circuit] — A shift register, 26U, 26D — A sampling latch circuit, 28U, 28D — A reference voltage selection-mold DA translation circuit, 61

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-175026

(P2002-175026A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)Int.Cl. ⁷	識別記号	FI	テマコード(参考)
G09F 9/30	338	G09F 9/30	338 2H093
G02F 1/133	550	G02F 1/133	550 5C006
G09F 9/00	348	G09F 9/00	348C 5C080
G09G 3/20	680	G09G 3/20	680G 5C094
			680T 5G435

審査請求 未請求 請求項の数14 OL (全12頁) 最終頁に続く

(21)出願番号 特願2000-372350(P2000-372350)

(22)出願日 平成12年12月7日(2000.12.7)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 真城 康人

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

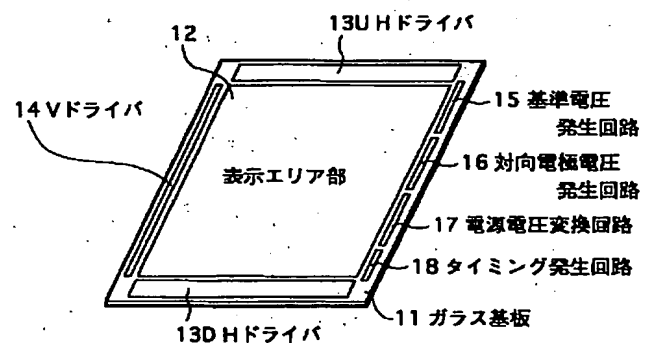
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置およびこれを用いた携帯端末

(57)【要約】

【課題】 駆動回路等の周辺回路を、表示エリア部を含む基板とは別に単結晶シリコンICによって別チップ上もしくはディスクリート部品によってプリント基板上に形成した場合、セットの小型化、低コスト化の妨げになる。

【解決手段】 画素がマトリクス状に配置されてなる表示エリア部12を具備するアクティブマトリクス型液晶表示装置において、Hドライバ13U、13D、Vドライバ14、基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18を表示エリア部12と共に、同一ガラス基板11上に同一プロセスを用いて作成するようにする。



(2)

【特許請求の範囲】

【請求項1】 電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、
前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、

複数の基準電圧を発生する基準電圧発生回路と、
前記複数の基準電圧の中からデジタル画像データに対応した基準電圧を選択する基準電圧選択型DA変換回路を有し、このDA変換回路で選択された基準電圧を画像信号として前記垂直駆動回路によって選択された行の各画素に対して供給する水平駆動回路と、
各種のタイミング信号を発生して各回路部に与えるタイミング発生回路と、

単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して各回路部に与える電源電圧変換回路とを備え、
前記垂直駆動回路、前記基準電圧発生回路、前記水平駆動回路、前記タイミング発生回路および前記電源電圧変換回路が、前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されてなることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 画像データを格納する画像メモリ回路をさらに備え、この画像メモリが前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 データの入出力を行うインターフェース回路をさらに備え、このインターフェース回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】 外部光の強度を検知する光センサ回路をさらに備え、この光センサ回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記電気光学素子が液晶セルであることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項6】 前記液晶セルの対向電極に印加する電圧を発生する対向電極電圧発生回路をさらに備え、この対向電極電圧発生回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項7】 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項8】 表示部として、
電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、
前記表示エリア部の各画素を行単位で選択する垂直駆動

回路と、

複数の基準電圧を発生する基準電圧発生回路と、
前記複数の基準電圧の中からデジタル画像データに対応した基準電圧を選択する基準電圧選択型DA変換回路を有し、このDA変換回路で選択された基準電圧を画像信号として前記垂直駆動回路によって選択された行の各画素に対して供給する水平駆動回路と、
各種のタイミング信号を発生して各回路部に与えるタイミング発生回路と、

10 単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して各回路部に与える電源電圧変換回路とを備え、
前記垂直駆動回路、前記基準電圧発生回路、前記水平駆動回路、前記タイミング発生回路および前記電源電圧変換回路が、前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されてなるアクティブマトリクス型表示装置を用いたことを特徴とする携帯端末。

【請求項9】 前記アクティブマトリクス型表示装置は、画像データを格納する画像メモリ回路をさらに備え、この画像メモリが前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項8記載の携帯端末。

【請求項10】 前記アクティブマトリクス型表示装置は、データの入出力を行うインターフェース回路をさらに備え、このインターフェース回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項8記載の携帯端末。

【請求項11】 前記アクティブマトリクス型表示装置は、外部光の強度を検知する光センサ回路をさらに備え、この光センサ回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項8記載の携帯端末。

【請求項12】 前記アクティブマトリクス型表示装置は、前記電気光学素子として液晶セルを用いた液晶表示装置であることを特徴とする請求項8記載の携帯端末。

【請求項13】 前記アクティブマトリクス型表示装置は、前記液晶セルの対向電極に印加する電圧を発生する対向電極電圧発生回路をさらに備え、この対向電極電圧発生回路が前記表示エリア部と共に同一基板上に同一プロセスを用いて作成されていることを特徴とする請求項12記載の携帯端末。

【請求項14】 前記アクティブマトリクス型表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求項8記載の携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置およびこれを表示部として用いた携帯端末に関する。

【0002】

(3)

3

【従来の技術】近年、携帯電話機やPDA(Personal Digital Assistants)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

【0003】この液晶表示装置など、画素がマトリクス状に配置され、これら画素の各々を駆動する構成のアクティブマトリクス型表示装置には、各画素を行単位で選択する垂直駆動回路と、この垂直駆動回路によって選択された行の各画素に情報を書き込む水平駆動回路とが設けられている。そして、これら駆動回路を表示エリア部と同一基板上に一体的に形成する傾向にある。

【0004】また、アクティブマトリクス型表示装置では、垂直駆動回路や水平駆動回路以外にも、これら駆動回路のタイミング制御のための各種のタイミング信号を発生するタイミング発生回路や、各回路部ごとに異なる電圧値の直流電圧を電源電圧として用いる場合が多いことから、単一の直流電源電圧を電圧値の異なる複数種類の直流電圧に変換して各回路部に与える電源電圧変換回路なども用いられる。これらの回路は、従来、表示エリア部を含む基板とは別に単結晶シリコンICによって別チップ上もしくはディスクリート部品によってプリント基板上に形成されていた。

【0005】

【発明が解決しようとする課題】上述したように、アクティブマトリクス型表示装置において、タイミング発生回路や電源電圧変換回路などを、表示エリア部を含む基板とは別に単結晶シリコンICによって別チップ上もしくはディスクリート部品によってプリント基板上に形成したのでは、セットを構成する部品点数が増えるとともに、それぞれ別々のプロセスで作成しなければならないため、セットの小型化、低コスト化の妨げになるという問題があった。

【0006】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、セットの小型化、低コスト化を可能としたアクティブマトリクス型表示装置およびこれを表示部として用いた携帯端末を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、この表示エリア部の各画素を行単位で選択する垂直駆動回路と、複数の基準電圧を発生する基準電圧発生回路と、これら複数の基準電圧の中からデジタル画像データに対応した基準電圧を選択する基準電圧選択型DA変換回路を有し、このDA変換回路で選択された基準電圧を画像信号として垂直駆動回路によって選択された行の各画素に対して供

4

給する水平駆動回路と、各種のタイミング信号を発生して各回路部に与えるタイミング発生回路と、単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して各回路部に与える電源電圧変換回路とを具備するアクティブマトリクス型表示装置において、垂直駆動回路、基準電圧発生回路、水平駆動回路、タイミング発生回路および電源電圧変換回路を、表示エリア部と共に同一基板上に同一プロセスを用いて作成した構成を採っている。そして、このアクティブマトリクス型表示装置は、携帯端末の表示部として用いられる。

【0008】上記構成のアクティブマトリクス型表示装置あるいはこれを用いた携帯端末において、表示エリア部での表示駆動に必要な周辺回路を全て表示エリア部と共に同一基板上に同一プロセスを用いて作成することで、セットを構成する部品点数を少なく抑えることができる。したがって、セットの低コスト化、さらには薄型化、コンパクト化が可能になる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。ここでは、例えば、各画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明するものとする。

【0010】図1において、透明絶縁基板、例えばガラス基板11上には、液晶セルを含む画素がマトリクス状に多数配置されてなる表示エリア部12が形成されている。ガラス基板11は、能動素子(例えば、トランジスタ)を含む多数の画素回路がマトリクス状(行列状)に配置形成される第1の基板と、この第1の基板と所定の間隙をもって対向して配置される第2の基板とによって構成される。そして、これら第1、第2の基板間に液晶が封入される。

【0011】図2に、表示エリア部12の具体的な構成の一例を示す。ここでは、図面の簡略化のために、3行($n-1$ 行 $\sim n+1$ 行)4列($m-2$ 列 $\sim m+1$ 列)の画素配列の場合を例に採って示している。図2において、表示エリア部12には、垂直走査ライン $\dots, 21n-1, 21n, 21n+1, \dots$ と、データライン $\dots, 22m-2, 22m-1, 22m, 22m+1, \dots$ とがマトリクス状に配線され、それらの交点部分に単位画素23が配置されている。

【0012】単位画素23は、画素トランジスタである、薄膜トランジスタTFT、液晶セルLCおよび保持容量Csを有する構成となっている。ここで、液晶セルLCは、薄膜トランジスタTFTで形成される画素電極とこれに対向して形成される対向電極との間で発生する容量を意味する。薄膜トランジスタTFTは、ゲート電極が、垂直走査ライン $\dots, 21n-1, 21n, 21n+1,$

(4)

5

…に接続され、ソース電極がデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に接続されている。

【0013】液晶セルLCは、画素電極が薄膜トランジスタTFTのドレイン電極に接続され、対向電極が共通ライン24に接続されている。保持容量Csは、薄膜トランジスタTFTのドレイン電極と共通ライン24との間に接続されている。共通ライン24には、対向電極電圧(コモン電圧)Vcomが与えられ、これにより、このコモン電圧Vcomは液晶セルLCの対向電極に対して各画素共通に印加されることになる。

【0014】ガラス基板11上には、上下一対のHドライブ(水平駆動回路)13U、13DおよびVドライブ(垂直駆動回路)が表示エリア部12と共に一体形成されている。そして、表示エリア部12の垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…の各一端は、Vドライブ14の対応する行の各出力端にそれぞれ接続される。Vドライブ14は、例えばシフトレジスタによって構成され、垂直転送クロックVCK(図示せず)に同期して順次垂直選択パルスを発生し、垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に与えることによって垂直走査を行う。

【0015】一方、表示エリア部12において、例えば奇数番目のデータライン…、 $22m-1$ 、 $22m+1$ 、…の各一端がHドライブ13Uの対応する列の各出力端に、偶数番目のデータライン…、 $22m-2$ 、 $22m$ 、…の各他端がHドライブ13Dの対応する列の各出力端にそれぞれ接続される。Hドライブ13U、13Dの具体的な構成の一例を図3に示す。

【0016】図3に示すように、Hドライブ13Uは、シフトレジスタ25U、サンプリングラッチ回路(データ信号入力回路)26U、線順次化ラッチ回路27UおよびDA変換回路28Uを有する構成となっている。シフトレジスタ25Uは、水平転送クロックHCK(図示せず)に同期して各転送段から順次シフトパルスを出力することによって水平走査を行う。サンプリングラッチ回路26Uは、シフトレジスタ25Uから与えられるシフトパルスにตอบสนองして、入力される所定ビットのデジタル画像データを点順次にてサンプリングしてラッチする。

【0017】線順次化ラッチ回路27Uは、サンプリングラッチ回路26Uで点順次にてラッチされたデジタル画像データを1ライン単位で再度ラッチすることによって線順次化し、この1ライン分のデジタル画像データを一齐に出力する。DA変換回路28Uは例えば基準電圧選択型の回路構成をとり、線順次化ラッチ回路27Uから出力される1ライン分のデジタル画像データをアナログ画像信号に変換して先述した画素エリア部12のデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に与える。

6

【0018】図4に、基準電圧選択型DA変換回路28Uの単位回路の構成例を示す。ここでは、入力されるデジタル画像データが例えば3ビット(b2、b1、b0)の場合を例に採って示しており、この3ビットのデータに対して8($=2^3$)個の基準電圧V0~V7が用意されることになる。この単位回路が、画素エリア部12のデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…ごとに1個ずつ配置されることになる。

【0019】下側のHドライブ13Dについても、上側のHドライブ13Uと全く同様に、シフトレジスタ25D、サンプリングラッチ回路26D、線順次化ラッチ回路27Dおよび基準電圧選択型のDA変換回路28Dを有する構成となっている。なお、本例に係るアクティブマトリクス型液晶表示装置では、表示エリア部12の上下にHドライブ13U、13Dを配する構成を採ったが、これに限定されるものではなく、上下のいずれか一方のみに配する構成を採ることも可能である。

【0020】ガラス基板11上にはさらに、基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18も、Hドライブ13U、13DおよびVドライブ14と同様に、表示エリア部12と共に一体形成されている。ここで、例えば表示エリア部12の上下にHドライブ13U、13Dを配する構成を採る液晶表示装置の場合には、Hドライブ13U、13Dが搭載されていない辺の額縁エリア(表示エリア部12の周辺エリア)に基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18を搭載するのが好ましい。

【0021】何故ならば、Hドライブ13U、13Dは、上述した如くVドライブ14に比べて構成要素が多く、その回路面積が非常に大きくなる場合が多いことから、Hドライブ13U、13Dが搭載されていない辺の額縁エリアに搭載することで、有効画面率(ガラス基板11に対する有効エリア部12の面積率)を低下させることなく、基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18を表示エリア部12と同一のガラス基板11上に実装することができるからである。

【0022】なお、本例に係るアクティブマトリクス型液晶表示装置においては、Hドライブ13U、13Dが搭載されていない辺の額縁エリアの一方側にはVドライブ14が実装されていることから、その反対側の辺の額縁エリアに基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18を実装する構成を採っている。

【0023】図5は、基準電圧発生回路15の具体的な構成の一例を示す回路図である。本例に係る基準電圧発生回路15は、正電源電圧VCCと負電源電圧VSSと

(5)

7

を一定の周期で互いに逆相でスイッチングする2つのスイッチ回路31、32と、これらスイッチ回路31、32の各出力端間に直列に接続された7個の分割抵抗R1～R7とからなる構成となっている。ここで、正電源電圧VCCと負電源電圧VSSとを一定の周期、例えば1H周期で互いに逆相でスイッチングするのは、液晶の劣化防止を目的として、液晶を交流駆動（本例では、1H反転駆動）するためである。

【0024】上記構成の基準電圧発生回路15において、スイッチ回路31の出力電圧VAがそのままノーマリホワイトでの白信号用の基準電圧V7として、スイッチ回路32の出力電圧VBがそのままノーマリホワイトでの黒信号用の基準電圧V0として用いられる。また、黒信号用の基準電圧V0と白信号用基準電圧V7との差電圧を分割抵抗R0～R6によって抵抗分割することにより、中間調用の基準電圧V1～V6が作成される。ノーマリブラックの場合には、出力電圧VAが黒信号用の基準電圧V7として、出力電圧VBが白信号用の基準電圧V0として用いられることになる。

【0025】図6は、対向電極電圧発生回路16の具体的な構成の一例を示すブロック図である。本例に係る対向電極電圧発生回路16は、正側電源電圧VCCと負側電源電圧VSSとを一定の周期でスイッチングして出力するスイッチ回路33と、このスイッチ回路33の出力電圧VAのDCレベルを変換して対向電極電圧Vcomとして出力するDCレベル変換回路34とからなる構成となっている。

【0026】スイッチ回路33は、正側電源電圧VCCを入力とするスイッチSW1と、負側電源電圧VSSを入力とするスイッチSW2とからなり、これらスイッチSW1、SW2が互いに逆相の制御パルスφ1、φ2によってスイッチングされることにより、正側電源電圧VCCと負側電源電圧VSSとを一定の周期で交互に出力する構成となっている。これにより、スイッチ回路33からは振幅VSS～VCCの電圧VAが出力される。

【0027】DCレベル変換回路34は、スイッチ回路33の振幅VSS～VCCの出力電圧VAを、例えば振幅VSS-ΔV～VCC-ΔVの直流電圧にレベル変換して対向電極電圧Vcomとして出力する。このDCレベル変換回路34としては、種々の回路構成のものが考えられるが、図7に示すように、コンデンサ341およびDC電圧発生回路342とからなる回路構成がシンプルなものとして一般的に用いられる。

【0028】次に、電源電圧変換回路17について説明する。電源電圧変換回路17としては、近年の携帯端末の低消費電力化、小型化に伴ってチャージポンプ型のものが多く使用されるようになってきている。図8は、チャージポンプ型電源電圧変換回路（DC-DCコンバータ）の構成の一例を示す回路図であり、（A）は負電圧発生タイプを、（B）は昇圧タイプをそれぞれ示してい

8

る。

【0029】図8において、単一の直流電源電圧VCCを与える電源とグランド（GND）との間には、PchMOSトランジスタQp11とNchMOSトランジスタQn11とが直列に接続され、かつ各ゲートが共通に接続されてCMOSインバータ41を構成している。このCMOSインバータ41のゲート共通接続点には、パルス発生源42から所定の周波数のスイッチングパルスが印加される。

【0030】CMOSインバータ41のドレイン共通接続点（ノードB）には、コンデンサC11の一端が接続されている。コンデンサC11の他端には、スイッチ素子、例えばNchMOSトランジスタQn12のドレインおよびPMOSトランジスタQp12のソースがそれぞれ接続されている。NchMOSトランジスタQn12のソースとグランドとの間には、負荷コンデンサC12が接続されている。

【0031】CMOSインバータ41のゲート共通接続点には、コンデンサC13の一端が接続されている。コンデンサC13の他端には、ダイオードD11のアノードが接続されている。ダイオードD11は、そのカソードが接地されて第1のクランプ回路43を構成している。コンデンサC13の他端にはさらに、NchMOSトランジスタQn12およびPchMOSトランジスタQp12の各ゲートがそれぞれ接続されている。PchMOSトランジスタQp12のドレインは接地されている。

【0032】コンデンサC13の他端とグランドとの間には、PchMOSトランジスタQp13が接続されている。このPchMOSトランジスタQp13のゲートには、パルス発生源44で発生されるクランプ用パルスがレベルシフト回路45でレベルシフトされて与えられる。これらPchMOSトランジスタQp13、パルス発生源44およびレベルシフト回路45は、スイッチングトランジスタ（NchMOSトランジスタQn12およびPchMOSトランジスタQp12）のスイッチングパルス電圧をクランプする第2のクランプ回路46を構成している。

【0033】この第2のクランプ回路46において、レベルシフト回路45は、本電源電圧変換回路に入力される電源電圧VCCを正側回路電源、負荷コンデンサC12の両端から導出される本回路の出力電圧Voutを負側回路電源とし、パルス発生源44で発生される第1の振幅（VCC-0[V]）のクランプ用パルスを、第2の振幅（VCC-Vout[V]）のクランプ用パルスにレベルシフトしてPchMOSトランジスタQp13のゲートに与える。これにより、PchMOSトランジスタQp13のスイッチング動作がより確実に行われることになる。

【0034】次に、上記構成の負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作につい

(6)

9

て、図9 (A) のタイミングチャートを用いて説明する。なお、図9 (A) のタイミングチャートには、図8 (A) の回路におけるノードA～Gの各信号波形A～Gを示している。

【0035】電源投入時（起動時）には、パルス発生源42で発生されるスイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、先ずダイオードD11によって、負側の回路電源電位であるグラウンド（GND）レベルからダイオードD11のしきい値電圧 V_{th} 分だけレベルシフトした電位に“H”レベルクランプされる。

【0036】そして、スイッチングパルスが“L”レベル（0V）のときは、PchMOSトランジスタQp11、Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル（VCC）になると、NchMOSトランジスタQn11、Qn12がオン状態となり、ノードBの電位がグラウンドレベル（0V）になるため、ノードCの電位が $-V_{CC}$ レベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧 V_{out} （ $= -V_{CC}$ ）となる。

【0037】次に、出力電圧 V_{out} がある程度立ち上がると（起動プロセス終了時）、クランプパルス用のレベルシフト回路45が動作を始める。このレベルシフト回路45が動作し始めると、パルス発生源44で発生された振幅 $V_{CC}-0$ [V] のクランプ用パルスは、当該レベルシフト回路45において、振幅 $V_{CC}-V_{out}$ [V] のクランプ用パルスにレベルシフトされ、しかる後PchMOSトランジスタQp13のゲートに印加される。

【0038】このとき、クランプ用パルスの“L”レベルが出力電圧 V_{out} 、即ち $-V_{CC}$ であるため、PchMOSトランジスタQp13が確実にオン状態となる。これにより、ノードDの電位は、グラウンドレベルからダイオードD11のしきい値電圧 V_{th} 分だけレベルシフトした電位ではなく、グラウンドレベル（負側の回路電源電位）にクランプされる。これにより、以降のポンピング動作において、特にPchMOSトランジスタQp12に対して十分な駆動電圧が得られる。

【0039】上述したように、チャージポンプを用いた電源電圧変換回路において、その出力部に設けられたスイッチ素子（NchMOSトランジスタQn12およびPchMOSトランジスタQp12）に対する制御パルス（スイッチングパルス）の電圧を、本回路の起動時には先ず第1のクランプ回路43のダイオードD11によるクランプ、起動プロセス終了後は第2のクランプ回路46によるクランプ、というように2段階に分けてクランプすることにより、特にPchMOSトランジスタQp1

10

2に対して十分な駆動電圧をとることができる。

【0040】これにより、PchMOSトランジスタQp12において十分なスイッチング電流が得られるようになるため、安定したDC-DC変換動作が行えるようになるとともに、変換効率を向上させることができる。特に、PchMOSトランジスタQp12のトランジスタサイズを大きくしなくても、十分なスイッチング電流が得られるため、小面積の回路規模にて電流容量の大きな電源電圧変換回路を実現できる。

【0041】図8 (B) に示す昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作は同じである。

【0042】すなわち、図8 (B) において、スイッチングトランジスタおよびクランプ用トランジスタ（MOSトランジスタQp14、Qn14、Qn13）が、図8 (A) の回路のMOSトランジスタQn12、Qp12、Qp13と逆導電型となるとともに、ダイオードD11がコンデンサC11の他端と電源（VCC）との間に接続され、かつレベルシフト回路45が本回路の出力電圧 V_{out} を正側回路電源とし、グラウンドレベルを負側回路電源とした構成となっており、この点が図8

(A) の回路と構成上相違するのみである。

【0043】回路動作上においても、基本的には、図8 (A) の回路と全く同じである。異なるのは、スイッチングパルス電圧（制御パルス電圧）が起動時に先ずダイオードクランプされ、起動プロセス終了時にVCCレベル（正側の回路電源電位）にクランプされ、また出力電圧 V_{out} として電源電圧VCCの2倍の電圧値 $2 \times V_{CC}$ が導出される点だけである。図9 (B) に、図8 (B) の回路におけるノードA～Gの各信号波形A～Gのタイミングチャートを示す。

【0044】なお、ここでは、電源電圧変換回路17として、チャージポンプ型のものを例にとりて説明したが、これは一例に過ぎず、これに限定されるものではない。

【0045】続いて、タイミング発生回路18について説明する。タイミング発生回路18は、図10に模式的に示すように、外部から与えられる水平同期信号HD、垂直同期信号VDおよびマスタークロックMCKを入力とし、これらを基準にして先ず、Hドライバ13Uのシフトレジスタ25Uに与える水平スタートパルスHSTおよび水平転送パルスHCK、並びにVドライバ14のシフトレジスタ141に与える垂直スタートパルスVSTおよび垂直転送パルスVCKを発生する。

【0046】ここで、水平スタートパルスHSTは水平同期信号HDの発生後所定時間経過後に発生するパルス信号であり、水平転送パルスHCKはマスタークロックMCKを例えば分周することによって得られるパルス信号である。また、垂直スタートパルスVSTは垂直同期信号VDの発生後所定時間経過後に発生するパルス信号で

(7)

11

あり、垂直転送パルスVCKは水平転送パルスHCKを例えば分周することによって得られるパルス信号である。

【0047】したがって、タイミング発生回路18において、水平同期信号HD、垂直同期信号VDおよびマスタートラッククロックMCKを基準にして、水平スタートパルスHST、水平転送パルスHCK、垂直スタートパルスVSTおよび垂直転送パルスVCKを生成するための回路としては、数段の簡単なカウンタ回路で実現できることになる。

【0048】タイミング発生回路18はさらに、Hドライバ13Uのシフトレジスタ25Uの適当な転送段から得られるタイミングデータおよびVドライバ14のシフトレジスタ141の適当な転送段から得られるタイミングデータ（タイミング情報）をも入力とし、これらタイミングデータを基にして、Hドライバ13Uで用いるタイミングパルスや、Vドライバ14で用いるタイミングパルスをも発生する構成となっている。

【0049】ここで、Hドライバ13Uで用いるタイミングパルスとしては、一例として、図3に示す線順次化ラッチ回路27U（27D）で用いるラッチ制御パルスが挙げられる。ただし、これに限られるものではない。一方、Vドライバ14で用いるタイミングパルスとしては、一例として、表示エリア部12の垂直方向のある期間だけ表示を行う部分表示モードのときにその表示期間を特定するための表示期間制御パルスが挙げられる。ただし、これに限られるものではない。

【0050】図11は、タイミング発生回路18の具体的な構成の一例を示すブロック図である。ここでは、タイミング発生回路18がHドライバ13Uのシフトレジスタ25Uから与えられるタイミングデータに基づいて、線順次化ラッチ回路27Uで用いるラッチ制御パルスを発生する場合を例に採って説明するものとする。

【0051】図11において、まず、Hドライバ13Uのシフトレジスタ25Uは、表示エリア部12における水平画素数以上のM段のD型フリップフロップ（以下、DFFと記す）51-1～51-Mによって構成されている。かかる構成のシフトレジスタ25Uは、水平スタートパルスHSTが与えられると、水平転送パルスHCKに同期してシフト動作を行う。その結果、DFF51-1～51-Mの各Q出力端からは、水平転送パルスHCKに同期して順次パルス（タイミング情報）が出力される。

【0052】これらDFF51-1～51-Mの各Q出力パルスは、サンプリングパルスとしてサンプリングラッチ回路26Uに順次与えられる。また、DFF51-1～51-Mの各Q出力パルスのうち、適当な転送段のQ出力パルス、ここでは一例として、1段目のDFF51-1のQ出力パルスAと、M-1段目のDFF51-M-1のQ出力パルスBとがタイミング発生回路18に

12

供給される。

【0053】タイミング発生回路18において、ラッチ制御パルスを発生するためのラッチ制御パルス発生回路52は、例えばDFF53およびバッファ54からなる構成となっている。DFF53は、シフトレジスタ25Uから供給される1段目のDFF51-1のQ出力パルスAをクロック（CK）入力、M-1段目のDFF51-M-1のQ出力パルスBをクリア（CLR）入力とし、自身の反転Q出力をデータ（D）入力としている。

【0054】これにより、DFF51-1のQ出力パルスAの立ち上がりタイミングからDFF51-M-1のQ出力パルスBの立ち上がりタイミングまでの期間において、“H”レベル（高レベル）となるパルスが、DFF53のQ出力端からバッファ54を介してラッチ制御パルスCとして得られる。

【0055】上述したように、タイミング発生回路18において、Hドライバ13U、13DやVドライバ14で用いるタイミングパルスの生成に、Hドライバ13U、13Dのシフトレジスタ25U、25DやVドライバ14のシフトレジスタ141を兼用し、これらシフトレジスタから得られるタイミングデータを基にタイミングパルスを生成することにより、カウンタ回路などの専用の回路が不要になり、回路構成を簡略化できるため、セットの小型化、低コスト化、さらには低消費電力化が可能になる。

【0056】なお、ここでは、タイミング発生回路18が、水平スタートパルスHST、水平転送パルスHCK、垂直スタートパルスVSTおよび垂直転送パルスVCKを発生する場合を例にとりて説明したが、これは一例に過ぎず、これらのタイミングパルスに限定されるものではない。

【0057】他のタイミングパルスとしては、例えば先述したチャージポンプ型電源電圧変換回路17で用いるスイッチングパルスやクランプ用パルスが挙げられる。このように、スイッチングパルスやクランプ用パルスについてもタイミング発生回路18で発生するようにすることで、図8に示したチャージポンプ型電源電圧変換回路17において、これらのパルスを発生するパルス発生源42、43を省略できるため、その分だけ電源電圧変換回路17の回路構成を簡略化でき、したがってガラス基板11上に一体形成する回路規模の縮小化を図ることができる。

【0058】上述した各構成例に係る基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18を表示エリア部12と共に同一のガラス基板11上に一体形成するに当たっては、それらの回路を構成する回路素子の全て、もしくは少なくとも能動素子（あるいは能動／受動素子）をガラス基板11上に作成するようにする。これにより、ガラス基板11外には能動素子（あるいは能動／受動素子）が一

(8)

13

つも存在しないことになるため、基板周辺部の構成を簡略化でき、装置の小型化、低コスト化が可能になる。

【0059】また、表示エリア部12と共に同一のガラス基板11上に一体形成する各回路としては、基準電圧発生回路15、対向電極電圧発生回路16、電源電圧変換回路17およびタイミング発生回路18以外にも、例えば図12に示すように、CPUインターフェース回路61、画像メモリ回路62、光センサ回路63および光源駆動回路64などが挙げられる。

【0060】ここで、CPUインターフェース回路61は、外部のCPUとの間でデータの入出力を行うための回路である。画像メモリ回路62は、外部からCPUインターフェース回路61を通じて入力される画像データ、例えば静止画データを格納するためのメモリである。光センサ回路63は、例えば本液晶表示装置を用いる環境の明るさ等、外部光の強度を検知するセンサであり、その検知情報を光源駆動回路64に与える。光源駆動回路64は、表示エリア部12を照明するバックライトあるいはフロントライトを駆動する回路であり、光センサ回路63から与えられる外部光の強度情報に基づいてそれら光源の明るさを調整する。

【0061】これらの回路61～64を表示エリア部12と共に同一のガラス基板11上に一体形成するに当たっても、それらの回路を構成する回路素子の全て、もしくは少なくとも能動素子(あるいは能動/受動素子)をガラス基板11上に作成するようにすることで、装置の小型化、低コスト化が可能になる。

【0062】なお、上記実施形態では、アクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、これに限定されるものではなく、エレクトロルミネッセンス(EL)素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

【0063】また、上記実施形態に係るアクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部として用いて好適なものである。

【0064】図13は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外観図である。

【0065】本例に係る携帯電話機は、装置筐体71の前面側に、スピーカ部72、表示部73、操作部74およびマイク部75が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部73には例えば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

【0066】このように、携帯電話機などの携帯端末に

14

において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部73として用いることにより、当該液晶表示装置が低コストにて実現できるとともに、小型であるため、端末本体の低コスト化、小型化が可能となる。

【0067】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型表示装置あるいはこれを表示部として用いた携帯端末において、垂直駆動回路および水平駆動回路を含む駆動回路の他、周辺回路を表示エリア部と共に同一基板上に同一プロセスを用いて作成するようにしたことにより、セットを構成する部品点数を少なく抑えることができるため、セットの低コスト化、さらには薄型化、コンパクト化が可能になる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の構成例を示す概略構成図である。

【図2】液晶表示装置の表示エリア部の構成例を示す回路図である。

【図3】Hドライバの具体的な構成の一例を示すブロック図である。

【図4】基準電圧選択型DA変換回路の具体的な構成の一例を示す回路図である。

【図5】基準電圧発生回路の具体的な構成の一例を示す回路図である。

【図6】対向電極電圧発生回路の具体的な構成の一例を示すブロック図である。

【図7】DCレベル変換回路の構成の一例を示すブロック図である。

【図8】チャージポンプ型電源電圧変換回路の構成の一例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。

【図9】チャージポンプ型電源電圧変換回路の回路動作を説明するためのタイミングチャートであり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。

【図10】タイミング発生回路の構成を説明するための模式図である。

【図11】タイミング発生回路の具体的な構成の一例を示すブロック図である。

【図12】本実施形態に係るアクティブマトリクス型液晶表示装置の変形例を示すブロック図である。

【図13】本発明に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

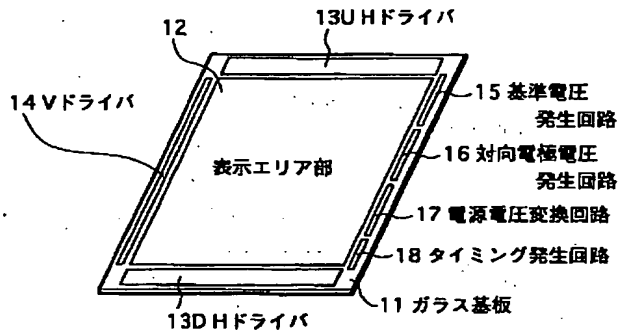
【符号の説明】

11…ガラス基板、12…表示エリア部、13U、13D…Hドライバ(水平駆動回路)、14…Vドライバ(垂直駆動回路)、15…基準電圧発生回路、16…対向電極電圧発生回路、17…電源電圧変換回路、18…タイミング発生回路、23…単位画素、25U、25D

(9)

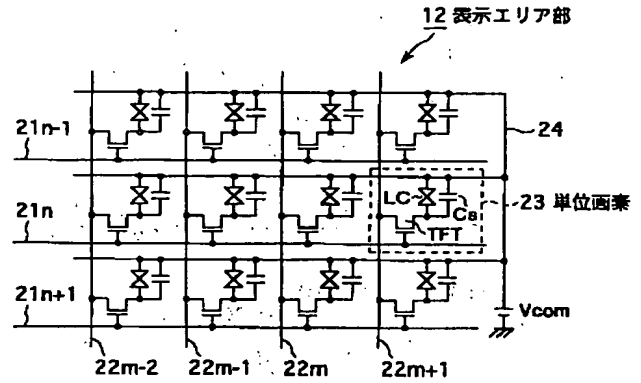
15
…シフトレジスタ、26U, 26D…サンプリングラッチ回路、28U, 28D…基準電圧選択型DA変換回路

【図1】

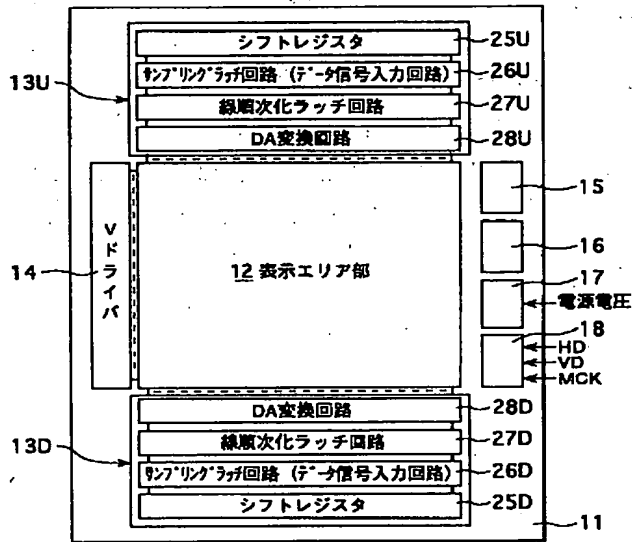


16
路、61…CPUインターフェース回路、62…画像メモリ回路、63…光センサ回路、64…光源駆動回路

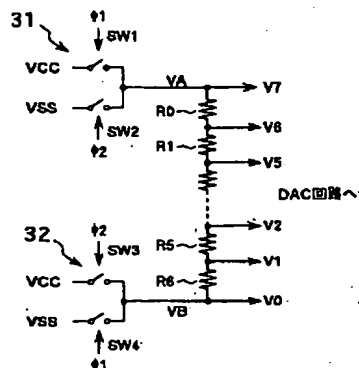
【図2】



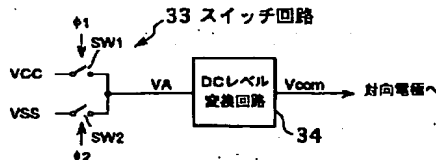
【図3】



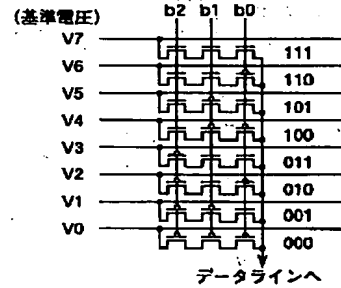
【図5】



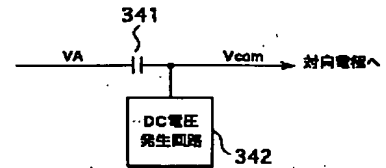
【図6】



【図4】

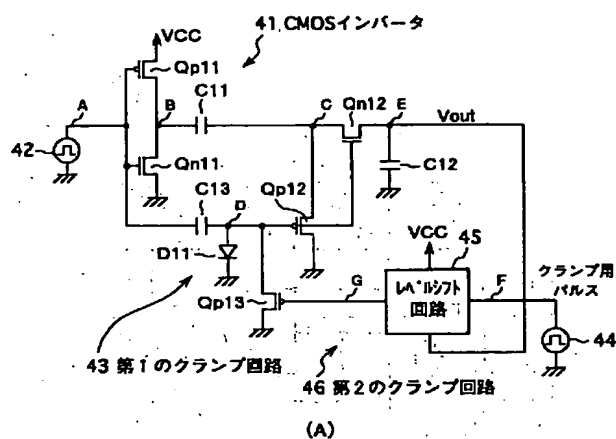


【図7】

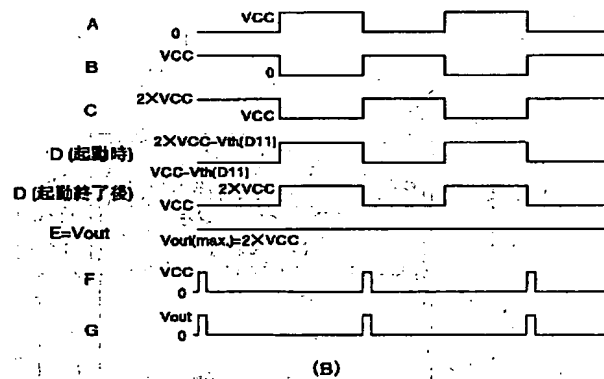
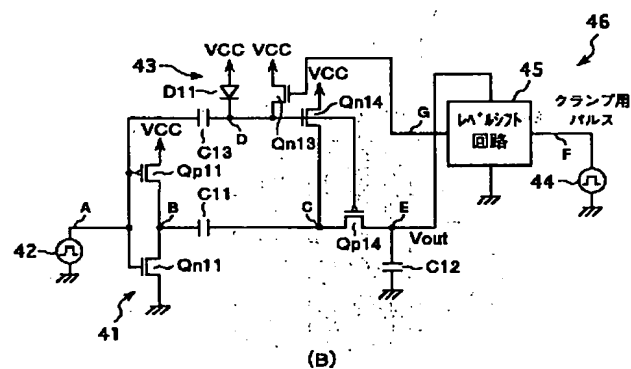
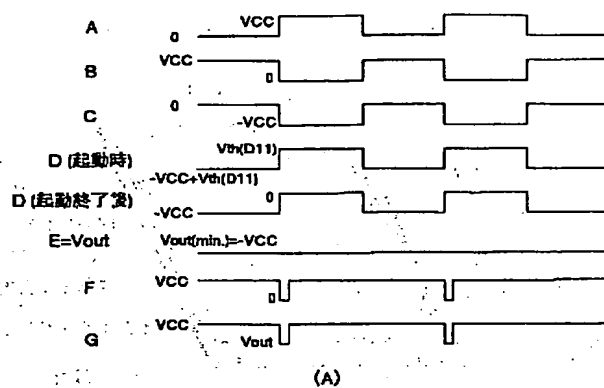


(10)

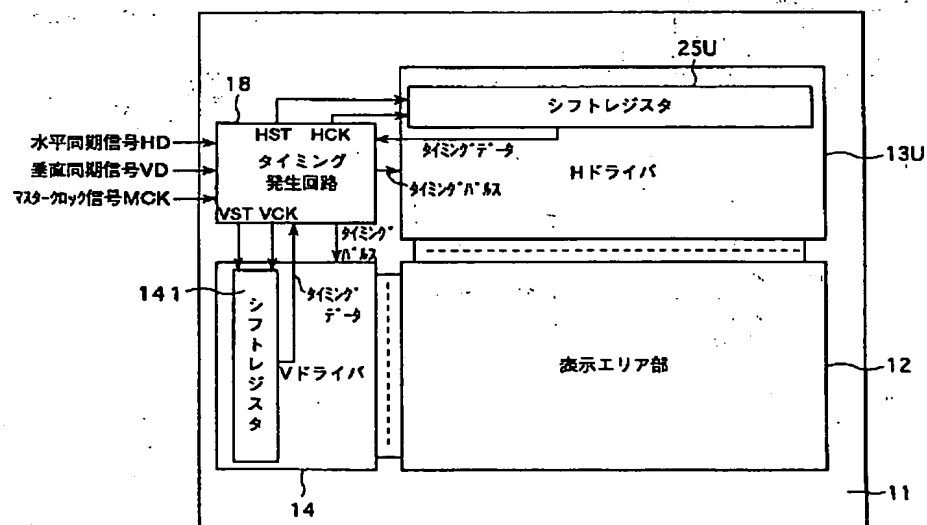
【图8】



【図 9】

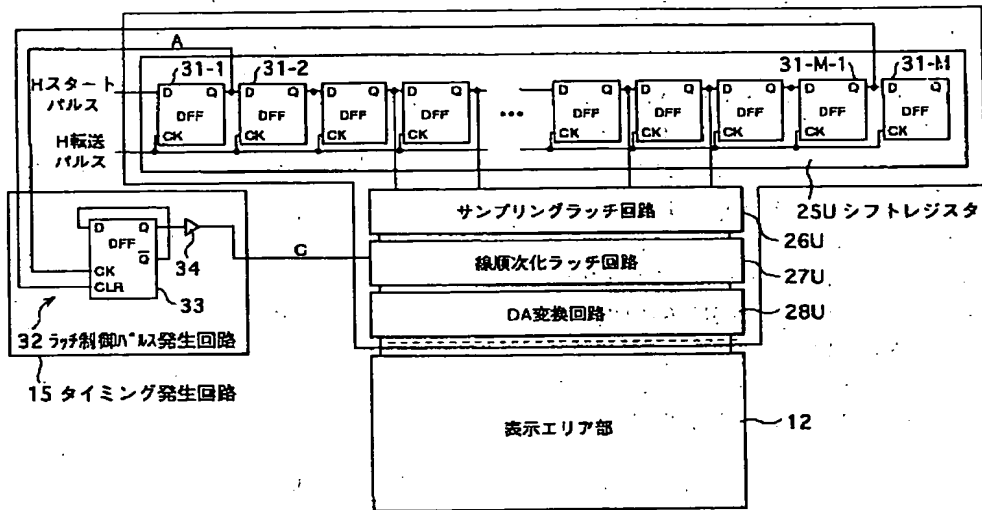


【図 10】

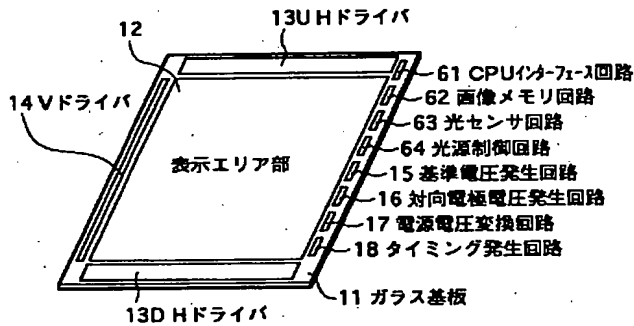


(11)

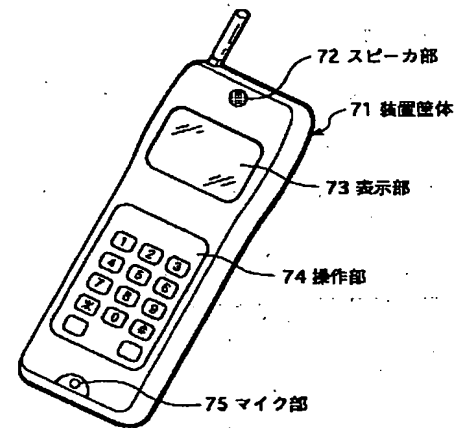
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20
3/30

3/36

H 0 4 M 1/00

識別記号

6 8 0

F I

G 0 9 G 3/20
3/30

3/36

H 0 4 M 1/00

テーマコード* (参考)

6 8 0 S 5 K 0 2 7

J

H

W

(72) 発明者 前川 敏一

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(12)

Fターム(参考) 2H093 NA16 NC03 NC09 NC11 NC29
NC41 NC55 ND49 ND54
5C006 AA16 AF83 BB16 BC12 BC20
BF03 BF04 BF43 EB00 FA41
FA51
5C080 AA06 AA10 BB05 DD22 DD27
EE29 FF11 GG12 JJ02 JJ03
JJ04 JJ06 KK07 KK47
5C094 AA15 AA43 AA44 BA03 BA27
BA43 CA19 DA09 DA13 DB01
DB04 EA04 EA10 EB02 FA01
FB12 FB14 FB15 GA10 GB10
5G435 AA18 BB05 BB12 EE30 EE37
LL07
5K027 AA11 BB14 FF22 MM17